



# 组合逻辑电路实验（二）

主讲教师：温立民  
电工电子实验教学中心



# 组合逻辑电路实验（二）

## 一、实验目的

- 1、熟悉基本逻辑电路应用
- 2、掌握用基本门电路进行组合电路设计的方法
- 3、通过实验验证设计的正确性



## 二、实验器材

- 1、数字电路实验箱
- 2、双踪示波器
- 3、数字万用表
- 4、集成门电路

<b>74LS00</b>	<b>TTL2输入端四与非门</b>	<b>2片</b>
<b>74LS20</b>	<b>TTL4输入端双与非门</b>	<b>1片</b>
<b>74LS32</b>	<b>TTL 2输入端四或门</b>	<b>1片</b>
<b>74LS86</b>	<b>TTL 2输入端四异或门</b>	<b>1片</b>
<b>74LS148</b>	<b>优先编码器</b>	





## 三、实验内容

---

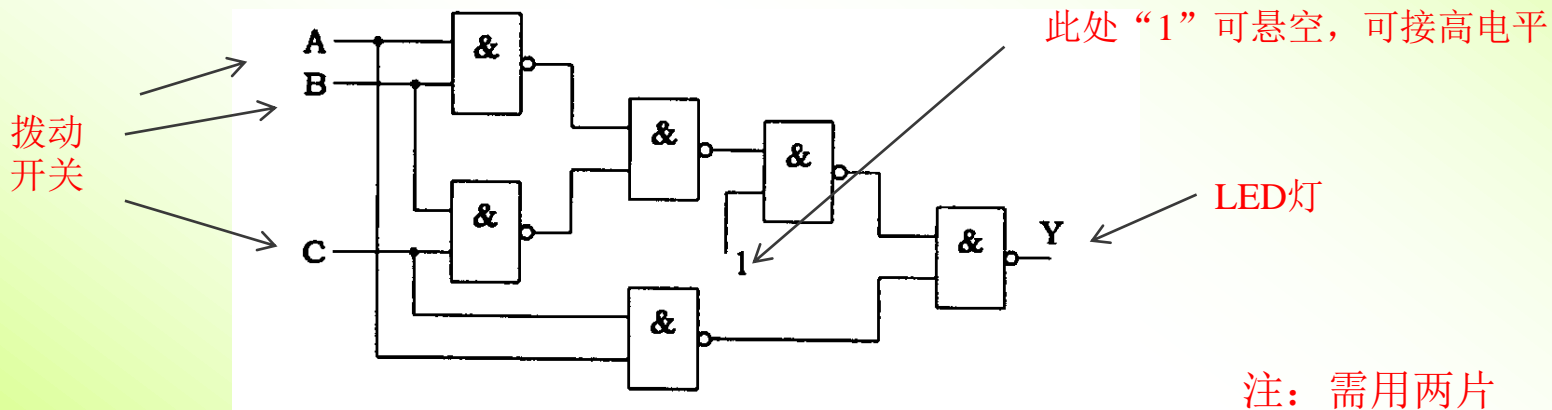
- 1、三人表决器（74ls00）
- 2、异或门奇偶校验（74ls86）
- 3、8线-3线优先编码器
- 4、用74LS283设计判定电路（和大于7）
- 5、可控加/减法器



# 1、三人表决器

## 表决器要求

遵循少数服从多数的原则设计三人表决器。本实验采用两块74LS00与非门实现表决功能，赞成票数大于等于2，表决结果：**赞同**；小于2，则表决为：**否决**



A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

注：需用两片74LS00



## 2、异或门74LS86实现奇偶校验法

### 奇偶校验

奇偶校验法是通讯中最简单的一种校验方法，通过检测结果中“1”的个数，确定传输数据的正确性

**要求：**用三个异或门组成四位数字校验电路，输入A，B，C，D的“1”的个数为奇数时，输出高电平；当输入A，B，C，D的“1”的个数为偶数时，输出低电平

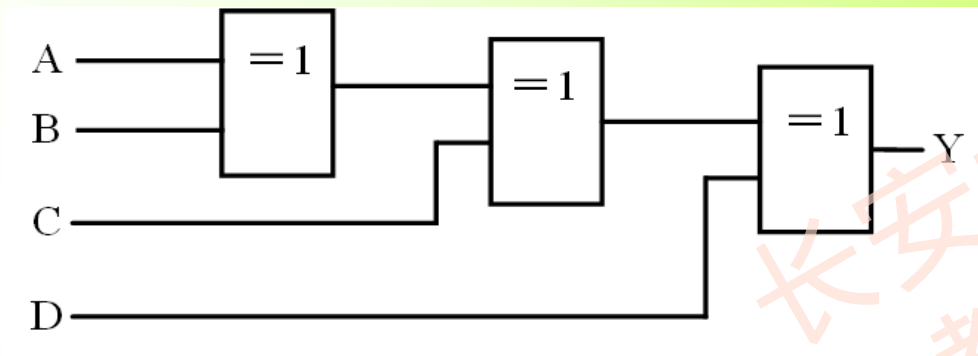
1 0 0 1  
└───┘ → 灯灭  
数据位      输出

偶数个“1”

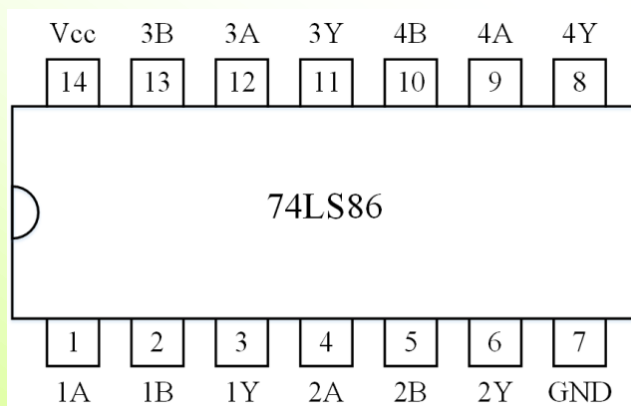
1 0 1 1  
└───┘ → 灯亮  
数据位      输出

奇数个“1”

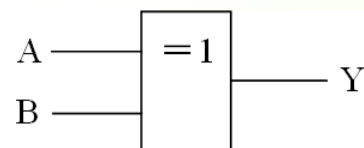




### 用74LS86实现奇偶校验



(a) 引脚排列



(b) 逻辑符号

注： 每片  
74LS86封装了4  
个独立的异或  
门，用一片即  
可完成本实验





ABCD	奇偶	Y输出显示
0000		
0001		
0011		
0101		
0111		
1111		

注：奇偶栏：“奇”“偶”；Y输出显示：“亮”“灭”



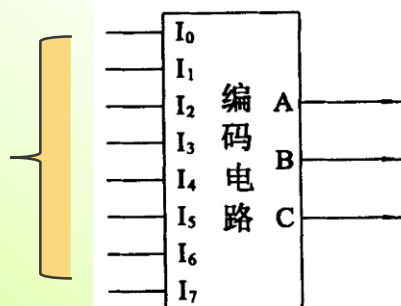


### 3、8线—3线优先编码器功能测试

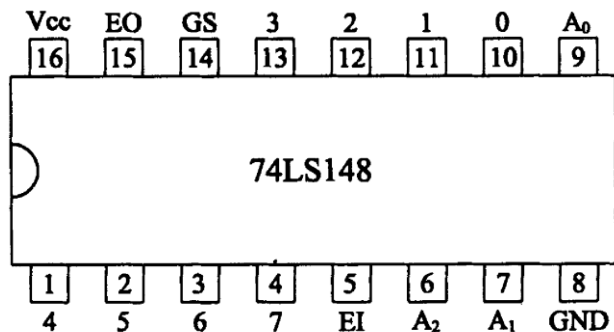
要求:

采用74LS148实现优先8-3编码功能。输入 $I_0-I_7$ ，输出 $A B C$

拨动  
开关



(a)



(b)

注：功能引脚  $E0=0$ ； $EI=1$ ； $GS=0$ ； $C$ ， $B$ ， $A$ 分别对应  $A_3A_2A_1$





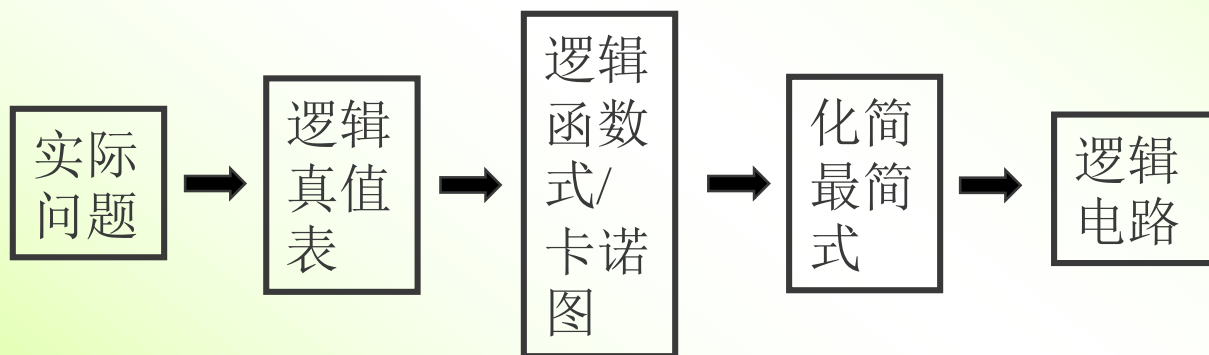
### 8-3 优先编码功能表

$I_7$	$I_6$	$I_5$	$I_4$	$I_3$	$I_2$	$I_1$	$I_0$	CBA
0	×	×	×	×	×	×	×	
1	0	×	×	×	×	×	×	
1	1	0	×	×	×	×	×	
1	1	1	0	×	×	×	×	
1	1	1	1	0	×	×	×	
1	1	1	1	1	0	×	×	
1	1	1	1	1	1	0	×	
1	1	1	1	1	1	1	0	



## 4、设计和大于7的判定电路

### 1 组合逻辑电路的设计方法



## 例：设计一个三人表决器

**要求：**设计一个由与非门组成的能实现这一功能的三人表决器电路。三人中有2个或3个人赞成时，表决结果为赞成；其他情况，表决结果为反对。

**分析：**根据题意，**第一步**进行逻辑抽象，该表决器电路的输入变量是三个开关A、B、C的状态，设开关接通用1表示，开关断开用0表示，设该电路的输出表决信号为Y，Y为1表示赞成，Y为0表示不赞成。

**第二步**在分析题意的基础上可列出真值表并用卡诺图化简，得：

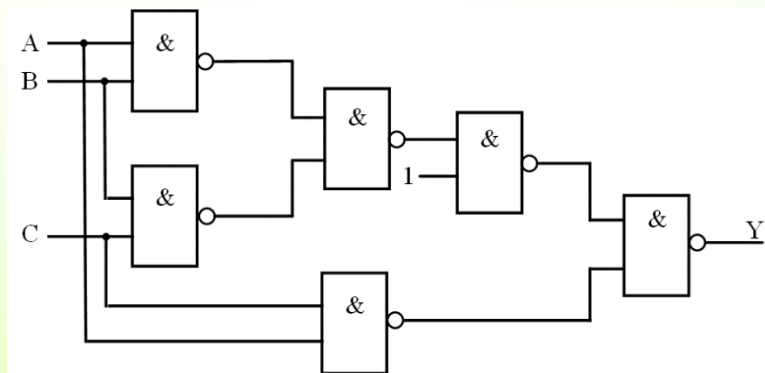
$$Y = \sum m(3, 5, 6, 7)。$$

		Y			
		BC	00	01	11
A	0	0	0	1	0
	1	0	1	1	1

第三步：由卡诺图化简得到Y的最简表达式为

$$Y = AB + BC + AC = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$$

第四步：由表达式画出逻辑电路图



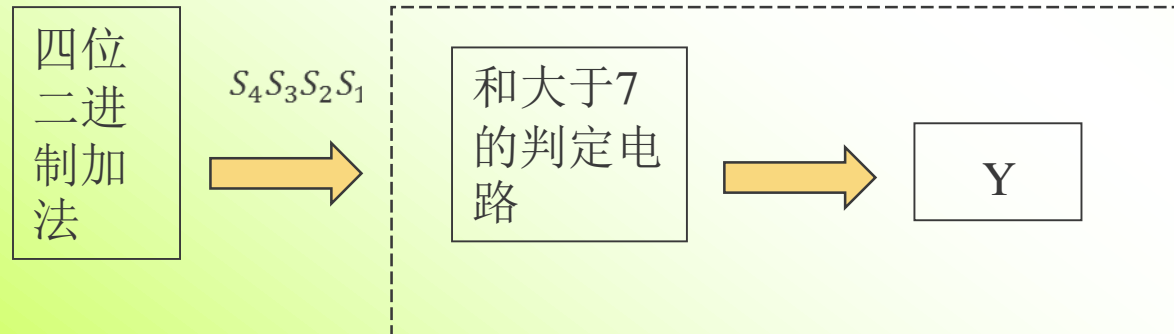
**注：**电路是采用两块74LS00实现的三人表决器，由Y的表达式可以看出三人表决器还有其它的实现方法，如采用74LS00和74LS20共同实现；74LS08（4-2输入与门）和74LS32（4-2输入或门）共同实现。

## 4、设计一个和大于7的判定电路

提示：上次课的采用74L283搭接的四位二进制加法器

非穷尽真值表示意

$A_4A_3A_2A_1$	$B_4B_3B_2B_1$	$C_0$	$C_4$	$S_4S_3S_2S_1$	余数	Y
0000	0000	0	0	0000	0	0
0001	0010	1	0	0100	4	0
0010	0011	1	0	0110	6	0
0100	0100	1	0	1001	9	1
0101	1000	1	0	1110	14	1
1000	1000	1	1	0001	1	0
1000	1001	1	1	0010	2	0



## 5、设计一个加减器（可控）

**要求：**在变量M的控制下，即能做加法运算又能做减法运算的电路。

M  $\left\{ \begin{array}{l} 1 \quad \text{减法} \\ 0 \quad \text{加法} \end{array} \right.$

一位全减器真值表

M	被减数 $a_i$	减数 $b_i$	低位借位 $c_{i-1}$	差	高位借位 $c_i$
0	加法器				
1	0	0	0	0	0
1	1	0	0	1	0
1	0	1	0	1	1
1	1	1	0	0	0
1	0	0	1	1	1
1	1	0	1	0	0
1	0	1	1	0	1
1	1	1	1	1	1



## 五、实验步骤

看演示

## 六、实验报告

- 1、按格式书写报告
- 2、数据分析
- 3、心得体会

长安大学  
线上教学使用